

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-22526

(P2000-22526A)

(43)公開日 平成12年1月21日(2000.1.21)

(51)Int.Cl. ⁷	識別記号	F I	ターマコード [*] (参考)
H 0 3 L 7/087		H 0 3 L 7/08	P 5 D 0 4 4
G 1 1 B 20/14	3 5 1	G 1 1 B 20/14	3 5 1 A 5 J 0 6 0
H 0 3 L 7/085		H 0 3 L 7/08	A

審査請求 有 請求項の数18 O L (全 17 頁)

(21)出願番号 特願平10-188856

(22)出願日 平成10年7月3日(1998.7.3)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 小林 直子

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100070219

弁理士 若林 忠 (外4名)

Fターム(参考) 5D044 GM12 GM14 GM15

5J060 AA04 BB03 CC01 CC21 CC31

CC41 CC52 DD13 DD17 DD32

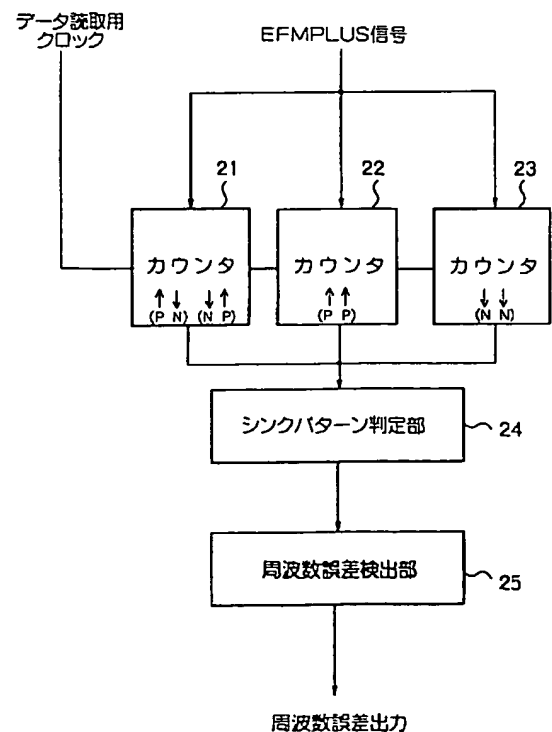
EE01 FF05 JJ03 KK03 KK30

(54)【発明の名称】 周波数比較器及びこれを用いた位相ロックループ回路、周波数誤差検出回路及びこれを用いたデータ読取装置

(57)【要約】

【課題】 再生クロックの誤った同期制御が行われる確率を低減する。

【解決手段】 入力されたEFMPLUS信号のパターンをデータ読取用クロックで計測するカウンタ21～23と、カウンタ21～23における計測値が入力され、EFMPLUS信号の第1のレベルにおける計測値と第2のレベルにおける計測値が予め決められた複数の候補であると認識した場合に、カウンタ21～23に入力されたEFMPLUS信号がシンクパターンであると判断し、該計測値を出力するシンクパターン判定部24と、シンクパターン判定部24から出力された計測値に基づいて周波数誤差を検出する周波数誤差検出部25とを設ける。



【特許請求の範囲】

【請求項1】 複数のデジタル信号が連続する第1の区間及びそれに続き複数のデジタル信号が連続する第2の区間を備えた特定の同期パターンを含むデジタル信号が入力され、前記同期パターンをクロックによって計測することにより前記デジタル信号の周波数と前記クロックとの周波数誤差を検出してその周波数誤差に応じた誤差値を求める周波数比較器において、
前記計測の結果予め設定された前記第1の区間の複数の候補であると認識し、続いて予め設定された前記第2の区間の複数の候補であると認識した場合に、認識された前記第1の区間の候補及び前記第2の区間の候補の組み合わせに応じた周波数誤差を求めることを特徴とする周波数比較器。

【請求項2】 請求項1に記載の周波数比較器において、
前記信号のパターンを計測する計測手段と、
該計測手段における前記第1の区間の計測値が予め設定された第1の区間の複数の候補であるかどうかを判断するとともに、前記計測手段における前記第2の区間の計測値が予め設定された第2の区間の複数の候補であるかどうかを判断し、前記計測手段における前記第1の区間の計測値が前記第1の区間の複数の候補であると判断し、かつ、前記計測手段における前記第2の区間の計測値が前記第2の区間の複数の候補であると判断した場合、または前記計測手段における前記第1の区間の計測値が前記第1の区間の複数の候補のうち最小値未満あるいは最大値を超えるものであった場合に前記第1及び第2の区間の計測値を出力する判定手段と、
該判定手段から出力された前記第1及び第2の計測値の組み合わせに基づいて前記周波数誤差を検出してその周波数誤差に応じた誤差値を求める検出手段とを有することを特徴とする周波数比較器。

【請求項3】 請求項1または請求項2に記載の周波数比較器において、
前記同期パターンは、Lレベルの信号が連続して14個続く第1の区間と、Hレベルの信号が連続して4個続く第2の区間とからなることを特徴とする周波数比較器。

【請求項4】 請求項1または請求項2に記載の周波数比較器において、
前記同期パターンは、Hレベルの信号が連続して14個続く第1の区間と、Lレベルの信号が連続して4個続く第2の区間とからなることを特徴とする周波数比較器。

【請求項5】 入力された信号に基づいて所定の周波数を有するクロック信号を生成し、出力する電圧制御発振器と、複数のデジタル信号が連続する第1の区間及びそれに続き複数のデジタル信号が連続する第2の区間を備えた特定の同期パターンを含むデジタル信号が入力され、前記同期パターンをクロックによって計測することにより前記デジタル信号の周波数と前記クロックとの周

波数誤差を検出してその周波数誤差に応じた誤差値を求める周波数比較器とを少なくとも有し、前記周波数比較器から出力された周波数誤差に基づいて前記電圧制御発振器にて前記クロック信号が生成される位相ロックループ回路において、

前記周波数比較器は、前記計測の結果予め設定された前記第1の区間の複数の候補であると認識し、続いて予め設定された前記第2の区間の複数の候補であると認識した場合に、認識された前記第1の区間の候補及び前記第2の区間の候補の組み合わせに応じた周波数誤差を求めることを特徴とする位相ロックループ回路。

【請求項6】 請求項5に記載の位相ロックループ回路において、
前記周波数比較器は、
前記信号のパターンを計測する計測手段と、
該計測手段における前記第1の区間の計測値が予め設定された第1の区間の複数の候補であるかどうかを判断するとともに、前記計測手段における前記第2の区間の計測値が予め設定された第2の区間の複数の候補であるかどうかを判断し、前記計測手段における前記第1の区間の計測値が前記第1の区間の複数の候補であると判断し、かつ、前記計測手段における前記第2の区間の計測値が前記第2の区間の複数の候補であると判断した場合、または前記計測手段における前記第1の区間の計測値が前記第1の区間の複数の候補のうち最小値未満あるいは最大値を超えるものであった場合に前記第1及び第2の区間の計測値を出力する判定手段と、
該判定手段から出力された前記第1及び第2の計測値の組み合わせに基づいて前記周波数誤差を検出してその周波数誤差に応じた誤差値を求める検出手段とを有することを特徴とする位相ロックループ回路。

【請求項7】 フレームシンクパターンを有するEFMPLUS信号が入力され、該EFMPLUS信号のパターンをクロックにより計測することによって前記EFMPLUS信号と前記クロックとの周波数誤差を検出する周波数誤差検出回路において、

前記EFMPLUS信号の第1のレベルにおける計測値と第2のレベルにおける計測値とが予め決められた複数の候補であると認識した場合に前記周波数誤差を検出することを特徴とする周波数誤差検出回路。

【請求項8】 請求項7に記載の周波数誤差検出回路において、
前記EFMPLUS信号のパターンを計測する計測手段と、

該計測手段における前記第1のレベルの計測値と前記第2のレベルの計測値とが前記複数の候補であるかどうかを判断することにより、該パターンが前記フレームシンクパターンであるかどうかを判断し、フレームシンクパターンであると判断した場合、または前記計測手段における前記第1のレベルの計測値が前記第1のレベルの複

数の候補のうち最小値未満あるいは最大値を超えるものであった場合に前記第1及び第2の計測値を出力する判定手段と、

該判定手段から出力された計測値に基づいて前記周波数誤差を検出する検出手段とを有することを特徴とする周波数誤差検出回路。

【請求項9】 請求項8に記載の周波数誤差検出回路において、

前記判断手段は、

前記第1のレベルの計測値が12であり、かつ、前記第2のレベルの計測値が3または4であった場合に、前記第1及び第2のレベルの計測値を出力することを特徴とする周波数誤差検出回路。

【請求項10】 請求項8に記載の周波数誤差検出回路において、

前記判断手段は、

前記第1のレベルの計測値が13であり、かつ、前記第2のレベルの計測値が3または4であった場合に、前記第1及び第2のレベルの計測値を出力することを特徴とする周波数誤差検出回路。

【請求項11】 請求項8に記載の周波数誤差検出回路において、

前記判断手段は、

前記第1のレベルの計測値が14であり、かつ、前記第2のレベルの計測値が3、4または5であった場合に、前記第1及び第2のレベルの計測値を出力することを特徴とする周波数誤差検出回路。

【請求項12】 請求項8に記載の周波数誤差検出回路において、

前記判断手段は、

前記第1のレベルの計測値が15であり、かつ、前記第2のレベルの計測値が4または5であった場合のみ、前記第1及び第2のレベルの計測値を出力することを特徴とする周波数誤差検出回路。

【請求項13】 請求項8に記載の周波数誤差検出回路において、

前記判断手段は、

前記第1のレベルの計測値が16であり、かつ、前記第2のレベルの計測値が4または5であった場合のみ、前記第1及び第2のレベルの計測値を出力することを特徴とする周波数誤差検出回路。

【請求項14】 請求項8に記載の周波数誤差検出回路において、

前記判断手段は、

前記第1のレベルの計測値が12未満であった場合、前記検出手段から、前記クロックの速度を上げるための信号を出力させることを特徴とする周波数誤差検出回路。

【請求項15】 請求項8に記載の周波数誤差検出回路において、

前記判断手段は、

前記第1のレベルの計測値が16よりも大きな場合、前記検出手段から、前記クロックの速度を下げるための信号を出力させることを特徴とする周波数誤差検出回路。

【請求項16】 複数のデジタル信号が連続する第1の区間及びそれに続き複数のデジタル信号が連続する第2の区間を備えた特定の同期パターンを含むデジタル信号が入力され、前記同期パターンをクロックによって計測することにより前記デジタル信号の周波数と前記クロックとの周波数誤差を検出してその周波数誤差に応じた誤差値を求める周波数誤差検出方法において、

前記計測の結果予め設定された前記第1の区間の複数の候補であると認識し、続いて予め設定された前記第2の区間の複数の候補であると認識した場合に、認識された前記第1の区間の候補及び前記第2の区間の候補の組み合わせに応じた周波数誤差を求めることを特徴とする周波数誤差検出方法。

【請求項17】 フレームシンクパターンを有するEFMP LUS信号が入力され、該EFMP LUS信号のパターンをクロックにより計測することによって前記EFMP LUS信号と前記クロックとの周波数誤差を検出する周波数誤差出力方法において、

前記EFMP LUS信号の第1のレベルにおける計測値と第2のレベルにおける計測値とが予め決められた複数の候補であると認識した場合に前記周波数誤差を検出することを特徴とする周波数誤差検出方法。

【請求項18】 記録ディスクに記録されたデータを読み取る読取手段と、該記録ディスクを回転させる駆動手段と、前記光ヘッドにて読み取られたデータから再生RF信号、フォーカス誤差信号及びトラッキング誤差信号を生成する増幅手段と、前記光ヘッド及び駆動手段を制御する制御手段と、前記増幅手段にて生成された再生RF信号の雑音除去及び波形整形を行うフィルタと、前記増幅手段にて生成された再生RF信号の2値化処理を行う2値化回路と、該2値化回路にて2値化されたデータに同期したクロックを生成する位相ロックループ回路と、データを復調する復調手段とを少なくとも有してなるデータ読取装置において、

前記位相ロックループ回路は、

入力された信号に基づいて所定の周波数を有するクロック信号を生成し、出力する電圧制御発振器と、複数のデジタル信号が連続する第1の区間及びそれに続き複数のデジタル信号が連続する第2の区間を備えた特定の同期パターンを含むデジタル信号が入力され、前記同期パターンをクロックによって計測し、該計測の結果予め設定された前記第1の区間の複数の候補であると認識し、続いて予め設定された前記第2の区間の複数の候補であると認識した場合に、認識された前記第1の区間の候補及び前記第2の区間の候補の組み合わせに応じた周波数誤差を求める周波数比較器とを少なくとも有し、前記周波数比較器から出力された周波数誤差に基づいて

前記電圧制御発振器にて前記クロック信号を生成することを特徴とするデータ読取装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、位相ロックループ回路に関し、特に、入力信号と再生クロック信号との周波数誤差を検出する周波数比較器を有する位相ロックループ回路及び周波数誤差検出回路、周波数誤差検出方法、並びにこれを用いたデータ読取装置に関する。

【0002】

【従来の技術】従来より、入力信号と再生クロック信号との周波数誤差を検出する周波数比較器を有する位相ロックループ回路においては、様々な機器に採用されており、その機器の1つとして、デジタル記録方式で情報が記録された記録ディスクからデータを読み取るためのデータ読取装置がある。

【0003】上述したようなデータ読取装置においては、再生クロックとなるデータ読取用クロックを用いて、記録ディスクに記録されたデータの読み取りが行われるため、記録ディスクに記録されたデータの読み取りを行う場合は、記録ディスクに記録されたデータとデータ読取用クロックとの同期を採る必要がある。そのため、記録ディスクに記録されたデータの飛ばし読み等を行う場合、その度毎に、記録ディスクに記録されたデータとデータ読取用クロックとの同期制御を行う必要がある。

【0004】そこで、位相ロックループ回路を用いて、データ読取用クロックの記録ディスクに記録されたデータに対する同期制御が行われている。

【0005】図6は、データ読取装置内に設けられた位相ロックループ回路の一構成例を示すブロック図である。

【0006】本従来例は図6に示すように、入力された制御電圧に基づいて所定の周波数及び位相を有する信号を生成し、出力する電圧制御発振器160と、電圧制御発振器160から出力された信号の周波数を $1/N$ に分周し、データ読取用クロックとして出力する分周器170と、記録ディスク（不図示）から読み取られたデータ信号内の同期検出パターンと分周器170から出力されたデータ読取用クロックとの位相を比較し、両者の位相誤差を誤差に応じた幅を有するパルス信号に変換して出力する位相比較器110と、記録ディスクから読み取られたデータ信号内の同期検出パターンと分周器170から出力されたデータ読取用クロックとの周波数を比較し、両者の周波数誤差を誤差に応じた幅を有するパルス信号に変換して出力する周波数比較器120と、位相比較器110から出力されたパルス信号を電圧に変換して出力するチャージポンプ180と、チャージポンプ180から出力された電圧値のノイズとなる高周波成分を遮断するローパスフィルタ130と、周波数比較器120

から出力されたパルス信号を電圧に変換して出力するチャージポンプ140と、ローパスフィルタ130を通過した電圧値またはチャージポンプ140から出力された電圧値を制御電圧として電圧制御発振器160に対して出力する加算器150とから構成されており、電圧制御発振器160において、加算器150から出力された制御電圧に基づいて所定の周波数及び位相を有する信号が生成される。なお、電圧制御発振器160においては、精度を上げるためにデータ読取用クロックの N 倍（ N は自然数）で発振するように構成されている。

【0007】上記のように構成された誤差検出回路においては、まず、電圧制御発振器160から、記録ディスクに記録されたデータのクロックとある程度近い周波数及び位相を有する信号が出力され、分周器170にて $1/N$ に分周され、データ読取用クロックが生成される。

【0008】分周器170から出力されたデータ読取用クロックは、位相比較器110及び周波数比較器120に入力される。

【0009】すると、周波数比較器120において、記録ディスクから読み取られたデータ信号の同期検出パターンを用いて、データ信号に対するデータ読取用クロックの周波数誤差が検出され、検出された誤差に基づいた幅を有するパルス信号が出力される。

【0010】周波数比較器120から出力されたパルス信号は、チャージポンプ140にて電圧値に変換されて出力される。

【0011】チャージポンプ140から出力された電圧値は、加算器150を介して電圧制御発振器160に制御電圧として入力される。

【0012】その後、電圧制御発振器160において、加算器150から出力された制御電圧に基づいて、所定の周波数を有する信号が生成される。

【0013】電圧制御発振器160にて所定の周波数を有する信号が生成された後、位相比較器110において、記録ディスクから読み取られたデータ信号の同期検出パターンを用いて、データ信号に対するデータ読取用クロックの位相誤差が検出され、検出された誤差に基づいた幅を有するパルス信号が出力される。

【0014】位相比較器110から出力されたパルス信号は、チャージポンプ180にて電圧値に変換され、さらに、ローパスフィルタ130にて、ノイズとなる高周波成分が遮断される。

【0015】ローパスフィルタ130を通過した電圧値は、加算器150を介して電圧制御発振器160に制御電圧として入力される。

【0016】その後、電圧制御発振器160において、加算器150から出力された制御電圧に基づいて、ディスクから読み出されたデータ信号と位相の合ったデータ読取用クロックが生成される。

【0017】上述した一連の動作が繰り返し行われるこ

とにより、モータの立ち上がり時や画面シーク時のデータ読取用クロックの記録ディスクに記録されたデータに対する同期制御が行われる。

【0018】図7は、記録ディスクに記録されたデータが読み取られてからデータ読取用クロックの同期制御が行われるまでの動作を説明するためのフローチャートである。

【0019】図7に示すように、記録ディスクからデータが読み取られると（ステップS101）、読み取られたデータが所定の増幅率にて増幅される（ステップS102）。

【0020】次に、増幅されたデータの雑音除去及び波形等化が行われるとともに、“0”、“1”からなる2値データへの変換が行われる（ステップS103）。

【0021】その後、変換された2値データを用いて上述したような同期制御が行われる（ステップS104）。

【0022】ここで、上述したような記録ディスクにおいては、記録ディスクに記録されたデータとデータ読取用クロックとの同期制御を行うため、1フレーム毎に特定のシンクパターンが設けられており、その信号方式としては、CD（コンパクトディスク）に用いられるEFM信号方式や、DVD（デジタルビデオディスク）に用いられるEFMPLUS信号方式等がある。

【0023】図8は、EFM信号方式とEFMPLUS信号方式とを説明するための図であり、(a)は記録ディスクに記録された情報の構成を示す図、(b)はEFM信号方式におけるシンクパターンを示す図、(c)はEFMPLUS信号方式におけるシンクパターンを示す図である。

【0024】図8-(a)に示すように、シンクパターンは、1フレーム毎にデータ信号に付加されている。

【0025】また、データ信号においては、記録ディスクのピット長及びピットの間隔によって、11T（Tはチャネルピット長）以下となっている。

【0026】まず、EFM信号方式におけるシンクパターンについて説明する。

【0027】EFM信号方式におけるシンクパターンは図8(b)に示すように、最大反転間隔（11T）が2回連続する信号となっている。ここで、データ信号は上述したように11T以下であるため、データ読取用クロックによって、信号の立ち上がりから次の立ち上がりまで、または立ち下がりから次の立ち下がりまでを計測し、計測値が22であった場合、それがデータ信号であることはなく、シンクパターンと判断することができ、実際に、そのようにしてシンクパターンが検出されている。具体的な例としては、特開昭59-172180号公報に開示されている。

【0028】次に、EFMPLUS信号方式におけるシンクパターンについて説明する。

【0029】EFMPLUS信号方式におけるシンクパターンは図8(c)に示すように、14Tと4Tとの反転間隔を有する信号となっている。

【0030】ここで、EFMPLUS信号方式においては、シンクパターンの1周期となる18T内に、“1”が9回続き、その後“0”が9回続く、9T+9Tや、“1”が10回続き、その後“0”が8回続く、10T+8Tといったデータ信号が含まれている可能性があるため、データ読取用クロックによって、信号の立ち上がりから次の立ち上がりまで、または立ち下がりから次の立ち下がりまでを計測し、計測値が18であっても、シンクパターンと判断することができない。

【0031】そこで、データ読取用クロックによって、立ち上がりから立ち下がりまで、または立ち下がりから立ち上がりまでを計測し、計測値が14以外の場合にその計測値に基づいて周波数誤差信号を出力し、計測値が14となった場合は、さらに、データ読取用クロックによって、その後の信号の立ち上がりまたは立ち下がりまでを計測し、その計測値に基づいて周波数誤差を検出している。

【0032】図9は、図6に示した周波数比較器120の動作を説明するための図である。

【0033】図9に示すように、データ読取用クロックによって、読み取られたEFMPLUS信号の立ち上がりから立ち下がりまで、または立ち下がりから立ち上がりまでが計測され、計測値が14以外の場合はその計測値に基づいて互いに異なる幅を有するパルス信号が周波数誤差信号（S2～S4、L2～L4）として出力され、計測値が14となった場合は、さらにデータ読取用クロックによって、その後の信号の立ち上がりまたは立ち下がりまでが計測され、その計測値に基づいて互いに異なる幅を有するパルス信号が周波数誤差信号（S1、L1）として出力されている。

【0034】その後、出力された周波数誤差信号（S1～S4、L1～L4）は、チャージポンプ140において電圧値に変換され、加算器150を介して制御電圧として電圧制御発振器160に入力され、電圧制御発振器160において、入力された制御電圧に基づいて所定の周波数を有する信号が生成される。

【0035】なお、周波数誤差信号（Center）が出力された場合は、データ読取用クロックの周波数とEFMPLUS信号の周波数とが同期していることになる。

【0036】ここで、読取用クロックの同期制御と記録ディスクを回転させるためのモータの回転数制御との関係について説明する。

【0037】図10は、記録ディスクに記録されたデータのモータの回転数による周波数の違いについて説明するための図である。

【0038】図10に示すように、モータの回転数が2

倍になった場合、同一のデータのパルス幅は $1/2$ となる。

【0039】ここで、読取用クロックの同期制御とモータの回転数制御とは互いに独立して行われているため、モータの起動直後においてモータの回転数が一定していない場合においては、上述した読取用クロックの同期制御にて、記録ディスクから読み取られた信号の計測値が実際のパターンの長さとは異なるものになってしまう虞れがある。

【0040】そこで、図9に示したように、記録ディスクから読み取られた信号の計測値が1以下であった場合は、データ読取用クロックの周波数が低いと判断されて周波数が高くなるように制御され、記録ディスクから読み取られた信号の計測値が1以上であった場合は、データ読取用クロックの周波数が高いと判断されて周波数が低くなるように制御され、それにより、記録ディスクから読み取られた信号の計測値が実際のパターンの長さとは異なるものとなり、その計測値が1に対してかけ離れたものとなってしまった場合においても、上述した同期制御が行われる。

【0041】

【発明が解決しようとする課題】しかしながら上述したような周波数誤差検出方法においては、同じレベルのデジタル信号が連続する第1の区間をデータ読取用クロックによって計測し、計測値が1以外の場合はその計測値のみに基づいて周波数誤差信号が出力されているため、ディスク上に傷等が生じ、その傷等によって14Tに近いパターンが生成された場合、そのパターンがシンクパターンと判断されてしまい、データ読取用クロックの誤った同期制御が行われてしまうという問題点がある。

【0042】本発明は、上述したような従来の技術が有する問題点に鑑みてなされたものであって、記録ディスクに記録されたデータと再生クロックとの誤った同期制御が行われる確率を低減することができる周波数比較器及びそれを用いた位相ロックループ回路、周波数検出回路、並びに周波数誤差検出方法を提供することを目的とする。

【0043】

【課題を解決するための手段】上記目的を達成するための本発明は、複数のデジタル信号が連続する第1の区間及びそれに続き複数のデジタル信号が連続する第2の区間を備えた特定の同期パターンを含むデジタル信号が入力され、前記同期パターンをクロックによって計測することにより前記デジタル信号の周波数と前記クロックとの周波数誤差を検出してその周波数誤差に応じた誤差値を求める周波数比較器において、前記計測の結果予め設定された前記第1の区間の複数の候補であると認識し、続いて予め設定された前記第2の区間の複数の候補であると認識した場合に、認識された前記第1の区間の候補

及び前記第2の区間の候補の組み合わせに応じた周波数誤差を求めることを特徴とする。

【0044】また、前記信号のパターンを計測する計測手段と、該計測手段における前記第1の区間の計測値が予め設定された第1の区間の複数の候補であるかどうかを判断するとともに、前記計測手段における前記第2の区間の計測値が予め設定された第2の区間の複数の候補であるかどうかを判断し、前記計測手段における前記第1の区間の計測値が前記第1の区間の複数の候補であると判断し、かつ、前記計測手段における前記第2の区間の計測値が前記第2の区間の複数の候補であると判断した場合、または前記計測手段における前記第1の区間の計測値が前記第1の区間の複数の候補のうち最小値未満あるいは最大値を超えるものであった場合に前記第1及び第2の区間の計測値を出力する判定手段と、該判定手段から出力された前記第1及び第2の計測値の組み合わせに基づいて前記周波数誤差を検出してその周波数誤差に応じた誤差値を求める検出手段とを有することを特徴とする。

【0045】また、前記同期パターンは、Lレベルの信号が連続して14個続く第1の区間と、Hレベルの信号が連続して4個続く第2の区間とからなることを特徴とする。

【0046】また、前記同期パターンは、Hレベルの信号が連続して14個続く第1の区間と、Lレベルの信号が連続して4個続く第2の区間とからなることを特徴とする。

【0047】また、入力された信号に基づいて所定の周波数を有するクロック信号を生成し、出力する電圧制御発振器と、複数のデジタル信号が連続する第1の区間及びそれに続き複数のデジタル信号が連続する第2の区間を備えた特定の同期パターンを含むデジタル信号が入力され、前記同期パターンをクロックによって計測することにより前記デジタル信号の周波数と前記クロックとの周波数誤差を検出してその周波数誤差に応じた誤差値を求める周波数比較器とを少なくとも有し、前記周波数比較器から出力された周波数誤差に基づいて前記電圧制御発振器にて前記クロック信号が生成される位相ロックループ回路において、前記周波数比較器は、前記計測の結果予め設定された前記第1の区間の複数の候補であると認識し、続いて予め設定された前記第2の区間の複数の候補であると認識した場合に、認識された前記第1の区間の候補及び前記第2の区間の候補の組み合わせに応じた周波数誤差を求めることを特徴とする。

【0048】また、前記周波数比較器は、前記信号のパターンを計測する計測手段と、該計測手段における前記第1の区間の計測値が予め設定された第1の区間の複数の候補であるかどうかを判断するとともに、前記計測手段における前記第2の区間の計測値が予め設定された第2の区間の複数の候補であるかどうかを判断し、前記計

測手段における前記第1の区間の計測値が前記第1の区間の複数の候補であると判断し、かつ、前記計測手段における前記第2の区間の計測値が前記第2の区間の複数の候補であると判断した場合、または前記計測手段における前記第1の区間の計測値が前記第1の区間の複数の候補のうち最小値未満あるいは最大値を超えるものであった場合に前記第1及び第2の区間の計測値を出力する判定手段と、該判定手段から出力された前記第1及び第2の計測値の組み合わせに基づいて前記周波数誤差を検出してその周波数誤差に応じた誤差値を求める検出手段とを有することを特徴とする。

【0049】また、フレームシンクパターンを有するEFMP LUS信号が入力され、該EFMP LUS信号のパターンをクロックにより計測することによって前記EFMP LUS信号と前記クロックとの周波数誤差を検出する周波数誤差検出回路において、前記EFMP LUS信号の第1のレベルにおける計測値と第2のレベルにおける計測値とが予め決められた複数の候補であると認識した場合に前記周波数誤差を検出することを特徴とする。

【0050】また、前記EFMP LUS信号のパターンを計測する計測手段と、該計測手段における前記第1のレベルの計測値と前記第2のレベルの計測値とが前記複数の候補であるかどうかを判断することにより、該パターンが前記フレームシンクパターンであるかどうかを判断し、フレームシンクパターンであると判断した場合、または前記計測手段における前記第1のレベルの計測値が前記第1のレベルの複数の候補のうち最小値未満あるいは最大値を超えるものであった場合に前記第1及び第2の計測値を出力する判定手段と、該判定手段から出力された計測値に基づいて前記周波数誤差を検出する検出手段とを有することを特徴とする。

【0051】また、前記判断手段は、前記第1のレベルの計測値が12であり、かつ、前記第2のレベルの計測値が3または4であった場合に、前記第1及び第2のレベルの計測値を出力することを特徴とする。

【0052】また、前記判断手段は、前記第1のレベルの計測値が13であり、かつ、前記第2のレベルの計測値が3または4であった場合に、前記第1及び第2のレベルの計測値を出力することを特徴とする。

【0053】また、前記判断手段は、前記第1のレベルの計測値が14であり、かつ、前記第2のレベルの計測値が3、4または5であった場合に、前記第1及び第2のレベルの計測値を出力することを特徴とする。

【0054】また、前記判断手段は、前記第1のレベルの計測値が15であり、かつ、前記第2のレベルの計測値が4または5であった場合のみ、前記第1及び第2のレベルの計測値を出力することを特徴とする。

【0055】また、前記判断手段は、前記第1のレベルの計測値が16であり、かつ、前記第2のレベルの計測

値が4または5であった場合のみ、前記第1及び第2のレベルの計測値を出力することを特徴とする。

【0056】また、前記判断手段は、前記第1のレベルの計測値が12未満であった場合、前記検出手段から、前記クロックの速度を上げるための信号を出力させることを特徴とする。

【0057】また、前記判断手段は、前記第1のレベルの計測値が16よりも大きな場合、前記検出手段から、前記クロックの速度を下げるための信号を出力させることを特徴とする。

【0058】また、複数のデジタル信号が連続する第1の区間及びそれに続き複数のデジタル信号が連続する第2の区間を備えた特定の同期パターンを含むデジタル信号が入力され、前記同期パターンをクロックによって計測することにより前記デジタル信号の周波数と前記クロックとの周波数誤差を検出してその周波数誤差に応じた誤差値を求める周波数誤差検出方法において、前記計測の結果予め設定された前記第1の区間の複数の候補であると認識し、続いて予め設定された前記第2の区間の複数の候補であると認識した場合に、認識された前記第1の区間の候補及び前記第2の区間の候補の組み合わせに応じた周波数誤差を求めることを特徴とする。

【0059】また、フレームシンクパターンを有するEFMP LUS信号が入力され、該EFMP LUS信号のパターンをクロックにより計測することによって前記EFMP LUS信号と前記クロックとの周波数誤差を検出する周波数誤差出力方法において、前記EFMP LUS信号の第1のレベルにおける計測値と第2のレベルにおける計測値とが予め決められた複数の候補であると認識した場合に前記周波数誤差を検出することを特徴とする。

【0060】また、記録ディスクに記録されたデータを読み取る読取手段と、該記録ディスクを回転させる駆動手段と、前記光ヘッドにて読み取られたデータから再生RF信号、フォーカス誤差信号及びトラッキング誤差信号を生成する増幅手段と、前記光ヘッド及び駆動手段を制御する制御手段と、前記増幅手段にて生成された再生RF信号の雑音除去及び波形整形を行うフィルターと、前記増幅手段にて生成された再生RF信号の2値化処理を行う2値化回路と、該2値化回路にて2値化されたデータに同期したクロックを生成する位相ロックループ回路と、データを復調する復調手段とを少なくとも有してなるデータ読取装置において、前記位相ロックループ回路は、入力された信号に基づいて所定の周波数を有するクロック信号を生成し、出力する電圧制御発振器と、複数のデジタル信号が連続する第1の区間及びそれに続き複数のデジタル信号が連続する第2の区間を備えた特定の同期パターンを含むデジタル信号が入力され、前記同期パターンをクロックによって計測し、該計測の結果予め設定された前記第1の区間の複数の候補であると認識

し、続いて予め設定された前記第2の区間の複数の候補であると認識した場合に、認識された前記第1の区間の候補及び前記第2の区間の候補の組み合わせに応じた周波数誤差を求める周波数比較器とを少なくとも有し、前記周波数比較器から出力された周波数誤差に基づいて前記電圧制御発振器にて前記クロック信号を生成することを特徴とする。

【0061】（作用）再生クロックの同期制御を行う機器においては、その信号内に同期制御を行うための複数のデジタル信号が連続する第1の区間及びそれに続き複数のデジタル信号が連続する第2の区間を備えた特定の同期パターンが含まれており、この特定の同期パターンは、パターンを構成する第1の区間の長さ第2の区間の長さの値がほぼ一定となっている。

【0062】そこで、上記のように構成された本発明においては、第1の区間及び第2の区間における計測値の複数の候補を予め決めておき、第1の区間における計測値と第2の区間における計測値が予め決められた複数の候補であると認識した場合に、そのパターンが誤差検出を行うための特定のパターンであると判断され、周波数誤差が検出されている。また、第1の区間における計測値が第1の区間の複数の候補のうち最小値未満あるいは最大値を超えるものであった場合にクロック速度を調整するための信号が出力されている。

【0063】これにより、特定のパターンではない第1の区間と略等しいパターンが検出された場合においても、第2の区間における計測値が予め決められた複数の候補であると認識した場合しか周波数誤差が検出されないため、誤った同期制御が行われる確率が低減される。

【0064】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照して説明する。

【0065】図1は、本発明の位相ロックループ回路の実施の一形態を示す図であり、EFMPLUS信号方式における誤差検出回路を示している。

【0066】本形態は図1に示すように、入力された制御電圧に基づいて所定の周波数及び位相を有する信号を生成し、出力する電圧制御発振器60と、電圧制御発振器60から出力された信号の周波数を $1/N$ に分周し、データ読取用クロックとして出力する分周器70と、記録ディスク（不図示）から読み取られたEFMPLUS信号内のシンクパターンと分周器70から出力されたデータ読取用クロックとの位相を比較し、両者の位相誤差を誤差に応じた幅を有するパルス信号に変換して出力する位相比較器10と、記録ディスクから読み取られたEFMPLUS信号内のシンクパターンと分周器70から出力されたデータ読取用クロックとの周波数を比較し、両者の周波数誤差を誤差に応じた幅を有するパルス信号に変換して出力する周波数比較器20と、位相比較器10から出力されたパルス信号を電圧に変換して出力する

チャージポンプ80と、チャージポンプ80から出力された電圧値のノイズとなる高周波成分を遮断するローパスフィルタ30と、周波数比較器20から出力されたパルス信号を電圧に変換して出力するチャージポンプ40と、ローパスフィルタ30を通過した電圧値またはチャージポンプ40から出力された電圧値を制御電圧として電圧制御発振器60に対して出力する加算器50とから構成されており、電圧制御発振器60において、加算器50から出力された制御電圧に基づいて所定の周波数及び位相を有する信号が生成される。なお、電圧制御発振器60においては、精度を上げるためにデータ読取用クロックのN倍（Nは自然数）で発振するように構成されている。

【0067】上記のように構成された誤差検出回路においては、まず、電圧制御発振器60から、記録ディスクに記録されたデータのクロックとある程度近い周波数及び位相を有する信号が出力され、分周器70にて $1/N$ に分周され、データ読取用クロックが生成される。

【0068】分周器70から出力されたデータ読取用クロックは、位相比較器10及び周波数比較器20に入力される。

【0069】すると、周波数比較器20において、記録ディスクから読み取られたEFMPLUS信号のシンクパターンを用いて、EFMPLUS信号に対するデータ読取用クロックの周波数誤差が検出され、検出された誤差に基づいた幅を有するパルス信号が出力される。

【0070】周波数比較器20から出力されたパルス信号は、チャージポンプ40にて電圧値に変換されて出力される。

【0071】チャージポンプ40から出力された電圧値は、加算器50を介して電圧制御発振器60に制御電圧として入力される。

【0072】その後、電圧制御発振器60において、加算器50から出力された制御電圧に基づいて、所定の周波数を有する信号が生成される。

【0073】電圧制御発振器60にて所定の周波数を有する信号が生成された後、位相比較器10において、記録ディスクから読み取られたEFMPLUS信号のシンクパターンを用いて、EFMPLUS信号に対するデータ読取用クロックの位相誤差が検出され、検出された誤差に基づいた幅を有するパルス信号が出力される。

【0074】位相比較器10から出力されたパルス信号は、チャージポンプ80にて電圧値に変換され、さらに、ローパスフィルタ30にて、ノイズとなる高周波成分が遮断される。

【0075】ローパスフィルタ30を通過した電圧値は、加算器50を介して電圧制御発振器60に制御電圧として入力される。

【0076】その後、電圧制御発振器60において、加算器50から出力された制御電圧に基づいて、ディスク

から読み出されたデータ信号と位相の合ったデータ読取用クロックが生成される。

【0077】上述した一連の動作が繰り返し行われることにより、データ読取用クロックの記録ディスクに記録されたデータに対する同期制御が行われる。

【0078】以下に、上述した周波数比較器20の構成及び動作について詳細に説明する。

【0079】図2は、図1に示した周波数比較器20の構成を示す図である。

【0080】本形態における周波数比較器20は図2に示すように、入力されたEFMPLUS信号の立ち上がりから立ち下がりまで(PN)、または立ち下がりから立ち上がりまで(NP)におけるデータ読取用クロックを計測し、計測値を出力するカウンタ21と、入力されたEFMPLUS信号の立ち上がりから次の立ち上がりまで(PP)におけるデータ読取用クロックを計測し、計測値を出力するカウンタ22と、入力されたEFMPLUS信号の立ち下がりから次の立ち下がりまで(NN)におけるデータ読取用クロックを計測し、計測値を出力するカウンタ23と、カウンタ21～23における計測値が入力され、入力された計測値と予め決められた候補とを比較し、それにより、カウンタ21～23に入力されたEFMPLUS信号がシンクパターンであるかどうかを判断し、計測値が予め決められた候補であると認識した場合、すなわちシンクパターンであると判断した場合のみ、該計測値を出力するシンクパターン判定部24と、シンクパターン判定部24から出力された計測値に基づいて周波数誤差検出を行う周波数誤差検出部25とから構成されている。

【0081】以下に、上記のように構成された周波数比較器における周波数誤差検出動作について説明する。

【0082】まず、図2に示したカウンタ21～23の動作について説明する。

【0083】図3は、図2に示したカウンタ21～23の動作を説明するためのタイミングチャートであり、

(a)はカウンタ23にてシンクパターンが検出される場合を示す図、(b)はカウンタ22にてシンクパターンが検出される場合を示す図である。

【0084】図3(a)に示すように、EFMPLUS信号の立ち上がりが検出されると、カウンタ21、22においてEFMPLUS信号の計測が開始される。

【0085】次に、EFMPLUS信号の立ち下がりが出検されると、カウンタ21におけるEFMPLUS信号の立ち上がりから立ち下がりまでの計測値が“7”であることが出力されるとともに、カウンタ21、23においてEFMPLUS信号の計測が開始される。

【0086】次に、EFMPLUS信号の立ち上がりが検出されると、カウンタ21におけるEFMPLUS信号の立ち下がりから立ち上がりまでの計測値が“3”であることが出力され、また、カウンタ22におけるEF

MPLUS信号の立ち上がりから次の立ち上がりまでの計測値が“10”であることが出力され、それにより、EFMPLUS信号の立ち上がりから次の立ち上がりまでにおける“1”、“0”レベルの計測値がそれぞれ、7、3であることが検出される。

【0087】同時に、カウンタ21、22においてEFMPLUS信号の計測が開始される。

【0088】次に、EFMPLUS信号の立ち下がりが出検されると、カウンタ21におけるEFMPLUS信号の立ち上がりから立ち下がりまでの計測値が“3”であることが出力され、また、カウンタ23におけるEFMPLUS信号の立ち下がりから次の立ち下がりまでの計測値が“6”であることが出力され、それにより、EFMPLUS信号の立ち下がりから次の立ち下がりまでにおける“0”、“1”レベルの計測値がそれぞれ、3、3であることが検出される。

【0089】同時に、カウンタ21、23においてEFMPLUS信号の計測が開始される。

【0090】次に、EFMPLUS信号の立ち上がりが検出されると、カウンタ21におけるEFMPLUS信号の立ち下がりから立ち上がりまでの計測値が“14”であることが出力され、また、カウンタ22におけるEFMPLUS信号の立ち上がりから次の立ち上がりまでの計測値が“17”であることが出力され、それにより、EFMPLUS信号の立ち上がりから次の立ち上がりまでにおける“1”、“0”レベルの計測値がそれぞれ、3、14であることが検出される。

【0091】同時に、カウンタ21、22においてEFMPLUS信号の計測が開始される。

【0092】次に、EFMPLUS信号の立ち下がりが出検されると、カウンタ21におけるEFMPLUS信号の立ち上がりから立ち下がりまでの計測値が“4”であることが出力され、また、カウンタ23におけるEFMPLUS信号の立ち下がりから次の立ち下がりまでの計測値が“18”であることが出力され、それにより、EFMPLUS信号の立ち下がりから次の立ち下がりまでにおける“0”、“1”レベルの計測値がそれぞれ、14、4であることが検出される。

【0093】ここで、上述したように、EFMPLUS信号のシンクパターンは14Tと4Tとの反転間隔の有する信号であるため、本形態においては、同じレベルのデジタル信号が連続する第1の区間の候補として12～16、第1の区間とは異なるレベルのデジタル信号が連続する第2の区間の候補として3～5がそれぞれ予め決められている。そのため、EFMPLUS信号の立ち下がりから次の立ち下がりまでにおける“0”、“1”レベルの計測値がそれぞれ、14、4であった場合、検出された信号がシンクパターンであると判断される。

【0094】図3(b)に示すように、EFMPLUS信号の立ち上がりが検出されると、カウンタ21、22

においてEFMPLUS信号の計測が開始される。

【0095】次に、EFMPLUS信号の立ち下がりが検出されると、カウンタ21におけるEFMPLUS信号の立ち上がりから立ち下がりまでの計測値が“7”であることが出力されるとともに、カウンタ21、23においてEFMPLUS信号の計測が開始される。

【0096】次に、EFMPLUS信号の立ち上がりが検出されると、カウンタ21におけるEFMPLUS信号の立ち下がりから立ち上がりまでの計測値が“3”であることが出力され、また、カウンタ22におけるEFMPLUS信号の立ち上がりから次の立ち上がりまでの計測値が“10”であることが出力され、それにより、EFMPLUS信号の立ち上がりから次の立ち上がりまでにおける“1”、“0”レベルの計測値がそれぞれ、7、3であることが検出される。

【0097】同時に、カウンタ21、22においてEFMPLUS信号の計測が開始される。

【0098】次に、EFMPLUS信号の立ち下がりが検出されると、カウンタ21におけるEFMPLUS信号の立ち上がりから立ち下がりまでの計測値が“14”であることが出力され、また、カウンタ23におけるEFMPLUS信号の立ち下がりから次の立ち下がりまでの計測値が“17”であることが出力され、それにより、EFMPLUS信号の立ち下がりから次の立ち下がりまでにおける“0”、“1”レベルの計測値がそれぞれ、3、14であることが検出される。

【0099】同時に、カウンタ21、23においてEFMPLUS信号の計測が開始される。

【0100】次に、EFMPLUS信号の立ち上がりが検出されると、カウンタ21におけるEFMPLUS信号の立ち下がりから立ち上がりまでの計測値が“4”であることが出力され、また、カウンタ22におけるEFMPLUS信号の立ち上がりから次の立ち上がりまでの計測値が“18”であることが出力され、それにより、EFMPLUS信号の立ち上がりから次の立ち上がりまでにおける“1”、“0”レベルの計測値がそれぞれ、14、4であることが検出される。

【0101】ここで、上述したように、EFMPLUS信号のシンクパターンは14Tと4Tとの反転間隔の有する信号であるため、本形態においては、同じレベルのデジタル信号が連続する第1の区間の候補として12～16、第1の区間とは異なるレベルのデジタル信号が連続する第2の区間の候補として3～5がそれぞれ予め決められている。そのため、EFMPLUS信号の立ち上がりから次の立ち上がりまでにおける“1”、“0”レベルの計測値がそれぞれ、14、4であった場合、検出された信号がシンクパターンであると判断される。

【0102】次に、図2に示したシンクパターン判定部24及び周波数誤差検出部25の動作について説明する。

【0103】図4は、図2に示したシンクパターン判定部24及び周波数誤差検出部25の動作を説明するための図である。

【0104】上述したカウンタ21～23における計測値がシンクパターン判定部24に入力されると、まず、シンクパターン判定部24において、カウンタ21～23に入力されたEFMPLUS信号がシンクパターンであるかどうか判断され、カウンタ21～23に入力されたEFMPLUS信号がシンクパターンであると判断された場合のみカウンタ21～23における計測値に基づいて、周波数誤差検出部25にて周波数誤差検出が行われる。

【0105】以下に、カウンタ21～23における計測値によるシンクパターン判定部24及び周波数誤差検出部25の動作について具体的に説明する。

【0106】カウンタ21における計測値(PNまたはNP)が12未満であった場合、12未満は第1の区間における候補ではないため、シンクパターン判定部24にてシンクパターンが短すぎると判断され、電圧制御発振器60から出力されるデータ読取用クロックの周波数を上げるための信号S4が周波数誤差検出部25から出力される。なお、この信号S4においては、電圧制御発振器60から出力される周波数を上げるように制御する幅を有するパルス信号である。

【0107】また、カウンタ21における計測値(PNまたはNP)が16よりも大きな場合、16よりも大きな値は第1の区間における候補ではないため、シンクパターン判定部24にてシンクパターンが長すぎると判断され、電圧制御発振器60から出力されるデータ読取用クロックの周波数を下げるための信号L4が周波数誤差検出部25から出力される。なお、この信号L4においては、電圧制御発振器60から出力される周波数を下げるように制御する幅を有するパルス信号である。

【0108】また、カウンタ21における計測値(EFMPLUS信号の立ち上がりから立ち下がりまでまたは立ち下がりから立ち上がりまで)が12であった場合、12が第1の区間における候補であるため、その後のカウンタ21における計測値(EFMPLUS信号の立ち下がりから立ち上がりまでまたは立ち上がりから立ち下がりまで)が取り込まれ、その計測値が3または4であった場合、すなわち、カウンタ22における計測値(EFMPLUS信号の立ち上がりから次の立ち上がりまで)またはカウンタ23における計測値(EFMPLUS信号の立ち下がりから次の立ち下がりまで)内の“0”、“1”レベルの計測値がそれぞれ、12、3または、12、4であった場合、第1の区間の計測値が12であった場合の第2の区間の候補は3、4であるため、その信号がシンクパターンと判断され、周波数誤差検出部25からカウンタ21における計測値に応じた周波数誤差信号S3が出力される。また、その後のカウン

タ21における計測値(EFMPLUS信号の立ち下がりから立ち上がりまでまたは立ち上がりから立ち下がりまで)が3、4以外であった場合は、シンクパターンではないと判断され、周波数誤差検出部25において周波数誤差検出は行われず、前回出力された周波数誤差信号が保持出力される。

【0109】また、カウンタ21における計測値(EFMPLUS信号の立ち上がりから立ち下がりまでまたは立ち下がりから立ち上がりまで)が13であった場合、13は第1の区間における候補であるため、その後のカウンタ21における計測値(EFMPLUS信号の立ち下がりから立ち上がりまでまたは立ち上がりから立ち下がりまで)が取り込まれ、その計測値が3であった場合、すなわち、カウンタ22における計測値(EFMPLUS信号の立ち上がりから次の立ち上がりまで)またはカウンタ23における計測値(EFMPLUS信号の立ち下がりから次の立ち下がりまで)内の“0”、

“1”レベルの計測値がそれぞれ、13、3であった場合、第1の区間の計測値が13であった場合の第2の区間の候補は3、4であるため、その信号がシンクパターンと判断され、周波数誤差検出部25からカウンタ21における計測値に応じた周波数誤差信号S2が出力される。また、その後のカウンタ21における計測値(EFMPLUS信号の立ち下がりから立ち上がりまでまたは立ち上がりから立ち下がりまで)が4であった場合、すなわち、カウンタ22における計測値(EFMPLUS信号の立ち上がりから次の立ち上がりまで)またはカウンタ23における計測値(EFMPLUS信号の立ち下がりから次の立ち下がりまで)内の“0”、“1”レベルの計測値がそれぞれ、13、4であった場合、第1の区間の計測値が13であった場合の第2の区間の候補は3、4であるため、その信号がシンクパターンと判断され、周波数誤差検出部25からカウンタ21における計測値に応じた周波数誤差信号S1が出力される。また、その後のカウンタ21における計測値(EFMPLUS信号の立ち下がりから立ち上がりまでまたは立ち上がりから立ち下がりまで)が3、4以外であった場合は、シンクパターンではないと判断され、周波数誤差検出部25において周波数誤差検出は行われず、前回出力された周波数誤差信号が保持出力される。

【0110】また、カウンタ21における計測値(EFMPLUS信号の立ち上がりから立ち下がりまでまたは立ち下がりから立ち上がりまで)が14であった場合、14は第1の区間における候補であるため、その後のカウンタ21における計測値(EFMPLUS信号の立ち下がりから立ち上がりまでまたは立ち上がりから立ち下がりまで)が取り込まれ、その計測値が3であった場合、すなわち、カウンタ22における計測値(EFMPLUS信号の立ち上がりから次の立ち上がりまで)またはカウンタ23における計測値(EFMPLUS信号の

立ち下がりから次の立ち下がりまで)内の“0”、

“1”レベルの計測値がそれぞれ、14、3であった場合、第1の区間の計測値が14であった場合の第2の区間の候補は3、4、5であるため、その信号がシンクパターンと判断され、周波数誤差検出部25からカウンタ21における計測値に応じた周波数誤差信号S1が出力される。また、その後のカウンタ21における計測値

(EFMPLUS信号の立ち下がりから立ち上がりまでまたは立ち上がりから立ち下がりまで)が4であった場合、すなわち、カウンタ22における計測値(EFMPLUS信号の立ち上がりから次の立ち上がりまで)またはカウンタ23における計測値(EFMPLUS信号の立ち下がりから次の立ち下がりまで)内の“0”、

“1”レベルの計測値がそれぞれ、14、4であった場合、第1の区間の計測値が14であった場合の第2の区間の候補は3、4、5であるため、その信号がシンクパターンと判断され、周波数誤差検出部25からデータ読取用クロックの周波数とEFMPLUS信号の周波数とが同期している旨を示す信号CENTERが出力される。また、その後のカウンタ21における計測値(EFMPLUS信号の立ち下がりから立ち上がりまでまたは

立ち上がりから立ち下がりまで)が5であった場合、すなわち、カウンタ22における計測値(EFMPLUS信号の立ち上がりから次の立ち上がりまで)またはカウンタ23における計測値(EFMPLUS信号の立ち下がりから次の立ち下がりまで)内の“0”、“1”レベルの計測値がそれぞれ、14、5であった場合、第1の区間の計測値が14であった場合の第2の区間の候補は3、4、5であるため、その信号がシンクパターンと判断され、周波数誤差検出部25からカウンタ21における計測値に応じた周波数誤差信号L1が出力される。また、その後のカウンタ21における計測値(EFMPLUS信号の立ち下がりから立ち上がりまでまたは立ち上がりから立ち下がりまで)が3、4、5以外であった場合は、シンクパターンではないと判断され、周波数誤差検出部25において周波数誤差検出は行われず、前回出力された周波数誤差信号が保持出力される。

【0111】また、カウンタ21における計測値(EFMPLUS信号の立ち上がりから立ち下がりまでまたは立ち下がりから立ち上がりまで)が15であった場合、15は第1の区間における候補であるため、その後のカウンタ21における計測値(EFMPLUS信号の立ち下がりから立ち上がりまでまたは立ち上がりから立ち下がりまで)が取り込まれ、その計測値が4であった場合、すなわち、カウンタ22における計測値(EFMPLUS信号の立ち上がりから次の立ち上がりまで)またはカウンタ23における計測値(EFMPLUS信号の立ち下がりから次の立ち下がりまで)内の“0”、

“1”レベルの計測値がそれぞれ、15、4であった場合、第1の区間の計測値が15であった場合の第2の区

間の候補は4、5であるため、その信号がシンクパターンと判断され、周波数誤差検出部25からカウンタ21における計測値に応じた周波数誤差信号L1が出力される。また、その後のカウンタ21における計測値(EFMPLUS信号の立ち下がりから立ち上がりまでまたは立ち上がりから立ち下がりまで)が5であった場合、すなわち、カウンタ22における計測値(EFMPLUS信号の立ち上がりから次の立ち上がりまで)またはカウンタ23における計測値(EFMPLUS信号の立ち下がりから次の立ち下がりまで)内の“0”、“1”レベルの計測値がそれぞれ、15、5であった場合、第1の区間の計測値が15であった場合の第2の区間の候補は4、5であるため、その信号がシンクパターンと判断され、周波数誤差検出部25からカウンタ21における計測値に応じた周波数誤差信号L2が出力される。また、その後のカウンタ21における計測値(EFMPLUS信号の立ち下がりから立ち上がりまでまたは立ち上がりから立ち下がりまで)が4、5以外であった場合は、シンクパターンではないと判断され、周波数誤差検出部25において周波数誤差検出は行われず、前回出力された周波数誤差信号が保持出力される。

【0112】また、カウンタ21における計測値(EFMPLUS信号の立ち上がりから立ち下がりまでまたは立ち下がりから立ち上がりまで)が16であった場合、16は第1の区間における候補であるため、その後のカウンタ21における計測値(EFMPLUS信号の立ち下がりから立ち上がりまでまたは立ち上がりから立ち下がりまで)が取り込まれ、その計測値が4または5であった場合、すなわち、カウンタ22における計測値(EFMPLUS信号の立ち上がりから次の立ち上がりまで)またはカウンタ23における計測値(EFMPLUS信号の立ち下がりから次の立ち下がりまで)内の“0”、“1”レベルの計測値がそれぞれ、16、4または、16、5であった場合、第1の区間の計測値が16であった場合の第2の区間の候補は4、5であるため、その信号がシンクパターンと判断され、周波数誤差検出部25からカウンタ21における計測値に応じた周波数誤差信号L3が出力される。また、その後のカウンタ21における計測値(EFMPLUS信号の立ち下がりから立ち上がりまでまたは立ち上がりから立ち下がりまで)が4、5以外であった場合は、シンクパターンではないと判断され、周波数誤差検出部25において周波数誤差検出は行われず、前回出力された周波数誤差信号が保持出力される。

【0113】なお、上述した周波数誤差信号S1～S3、L1～L3においては、カウンタ21における計測値に応じて、電圧制御発振器60から出力される周波数を制御する幅を有するパルス信号である。

【0114】その後、出力された周波数誤差信号S1～S4、L1～L4が制御電圧として電圧制御発振器60

に入力され、電圧制御発振器60において、周波数誤差信号S1～S4、L1～L4に基づいて周波数が制御され、それにより、データ読取用クロックの周波数がEFMPLUS信号の周波数と同期するように制御される。

【0115】上述したように本形態においては、EFMPLUS信号のシンクパターンにおける、立ち上がりから立ち下がりまで、または立ち下がりから立ち上がりまでの計測値、すなわち、第1の区間における計測値と、その後の立ち下がりまたは立ち上がりまでの計測値、すなわち、第2の区間における計測値がそれぞれ、14、4となることを用いて、予め、第1の区間及び第2の区間における候補を決めておき、実際の計測値が候補であるかどうかを判断することにより、入力された信号がフレームシンクであるかどうかを判断し、フレームシンクであると判断された場合のみ、周波数誤差検出を行っている。上述した実施の形態においては、データ読取用クロックとEFMPLUS信号との位相誤差($-\pi \sim +\pi$)を考慮して、上述した比率においていくつかの組み合わせを設け、それぞれに応じた周波数誤差信号を出力する。

【0116】例えば、長い方のシンクパターン(14T)を計測した時、再生クロックであるデータ読取用クロックが短いとするとこの時、EFMPLUS信号とデータ読取用クロックの位相が $-\pi \sim +\pi$ までの全ての値を取り得るとすると、カウンタにおける計測結果として14:5、14:4、15:4の組み合わせが生じる。

【0117】しかし、これらの組み合わせは、例えば14:4である場合、データ読取用クロックの周波数誤差が0の場合も生じる組み合わせである。

【0118】このように、EFMPLUS信号とデータ読取用クロックの位相によっては異なる周波数誤差が同一の組み合わせ結果を出力してしまう。

【0119】ここで、ある周波数誤差に対してこれらの組み合わせの出現確率は異なる。例えば、データ読取用クロックの周期が半クロック分短い場合には、組み合わせの出現確率は、15:4>14:4>14:5となる。同様に、データ読取用クロックの周期が4分の1クロック分短い場合には、14:5、15:4、14:4の組み合わせが生じるが、その出現確率は、14:4>15:4>14:5となる。

【0120】また、上述した回路においては、HDL記述されたものを論理合成することによって実現される。

【0121】図5は、図1に示した位相ロックループ回路が適用されるデータ読取装置の一構成例を示すブロック図である。

【0122】本形態は図5に示すように、記録ディスク201に記録されたデータを読み取る読取手段である光ヘッド202と、記録ディスク201を回転させる駆動手段であるディスクモータ203と、光ヘッド202にて読み取られたデータから再生RF信号、フォーカス誤

差信号及びトラッキング誤差信号等を生成する増幅手段であるプリアンプ204と、光ヘッド202及びディスクモータ203を制御する制御手段であるサーボコントローラ205と、プリアンプ204にて生成された再生RF信号の雑音除去及び波形整形を行うフィルター回路206と、プリアンプ204にて生成された再生RF信号を“0”、“1”からなるデータに2値化するデータ2値化回路207と、データ2値化回路207にて2値化されたデータに同期したクロックを生成する位相ロックループ回路208と、データを復調する復調回路209と、バースト等による再生データのエラーを訂正するエラー訂正回路210と、装置全体を制御するCPU211とから構成されており、位相ロックループ回路208として図1に示したものが適用されている。

【0123】上記のように構成されたデータ読取装置においては、光ヘッド202において記録ディスク201に記録されたデータが読み取られると、プリアンプ204において、光ヘッド202にて読み取られたデータから再生RF信号、フォーカス誤差信号及びトラッキング誤差信号等が生成され、フィルター回路206において、プリアンプ204にて生成された再生RF信号の雑音除去及び波形整形が行われ、さらに、データ2値化回路207において、プリアンプ204にて生成された再生RF信号が“0”、“1”からなるデータに2値化される。

【0124】その後、復調回路209において、位相ロックループ回路208にて生成されたクロックによって、データ2値化回路207にて2値化されたデータが復調される。

【0125】なお、位相ロックループ回路208の動作については、上述したものと同様であるため、ここでの説明は省略する。

【0126】

【発明の効果】以上説明したように本形態においては、第1の区間及び第2の区間における計測値の複数の候補を予め決めておき、第1の区間における計測値と第2の区間における計測値が予め決められた複数の候補であると認識した場合に、そのパターンが誤差検出を行うための特定のパターンであると判断されて周波数誤差が検出され、また、第1の区間における計測値が第1の区間の複数の候補のうち最小値未満あるいは最大値を超えるものであった場合にクロック速度を調整するための信号が出力されるため、特定のパターンではない第1の区間と略等しいパターンが検出された場合においても、第2の区間における計測値が予め決められた複数の候補であると認識した場合しか周波数誤差が出力されることはなく、誤った同期制御が行われる確率を低減することができる。

【0127】それにより、再生クロックの周波数引き込み時間を短縮することができる。

【図面の簡単な説明】

【図1】本発明の位相ロックループ回路の実施の一形態を示す図である。

【図2】図1に示した周波数比較器の構成を示す図である。

【図3】図2に示したカウンタの動作を説明するためのタイミングチャートであり、(a)はカウンタ23にてシンクパターンが検出される場合を示す図、(b)はカウンタ22にてシンクパターンが検出される場合を示す図である。

【図4】図2に示したシンクパターン判定部及び周波数誤差検出部の動作を説明するための図である。

【図5】図1に示した位相ロックループ回路が適用されるデータ読取装置の一構成例を示すブロック図である。

【図6】データ読取装置内に設けられた位相ロックループ回路の一構成例を示すブロック図である。

【図7】記録ディスクに記録されたデータが読み取られてからデータ読取用クロックの同期制御が行われるまでの動作を説明するためのフローチャートである。

【図8】EFM信号方式とEFMP LUS信号方式とを説明するための図であり、(a)は記録ディスクに記録された情報の構成を示す図、(b)はEFM信号方式におけるシンクパターンを示す図、(c)はEFMP LUS信号方式におけるシンクパターンを示す図である。

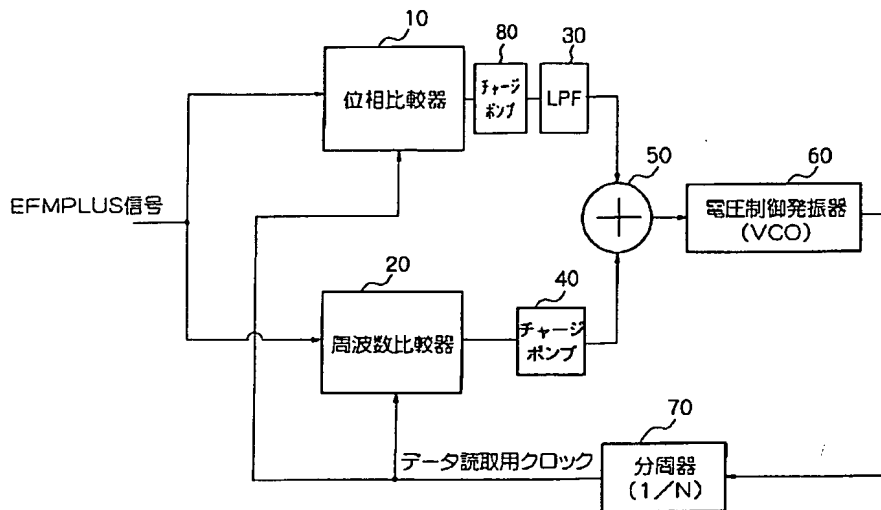
【図9】図6に示した周波数比較器の動作を説明するための図である。

【図10】記録ディスクに記録されたデータのモータの回転数による周波数の違いについて説明するための図である。

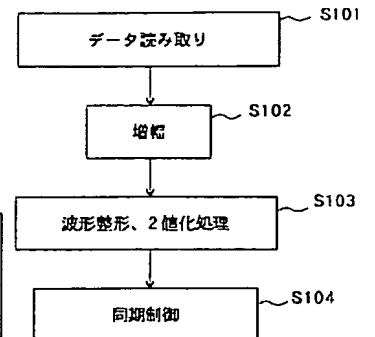
【符号の説明】

10	位相比較器
20	周波数比較器
21～23	カウンタ
24	シンクパターン判定部
25	周波数誤差検出部
30、40	ローパスフィルタ
50	加算器
60	電圧制御発振器
70	分周器
201	記録ディスク
202	光ヘッド
203	ディスクモータ
204	プリアンプ
205	サーボコントローラ
206	フィルター回路
207	データ2値化回路
208	位相ロックループ回路
209	復調回路
210	エラー訂正回路
211	CPU

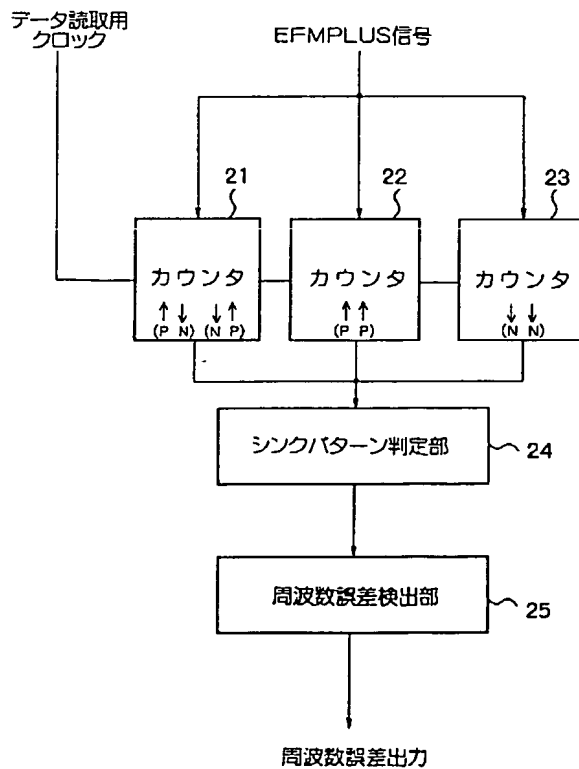
【図1】



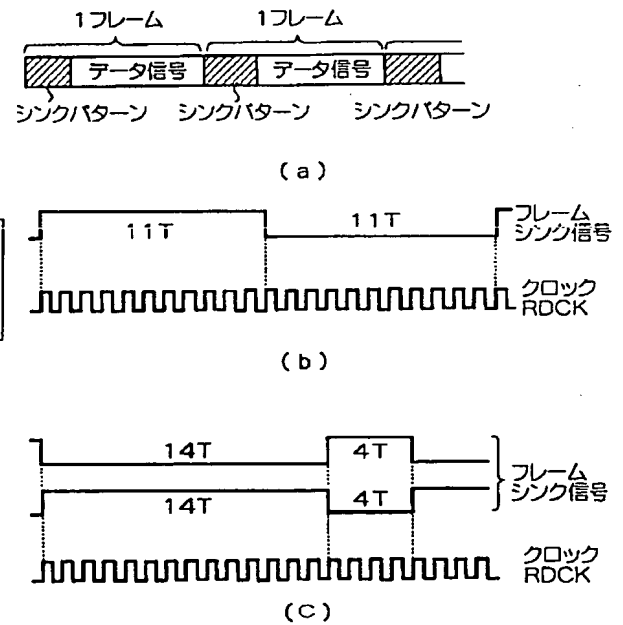
【図7】



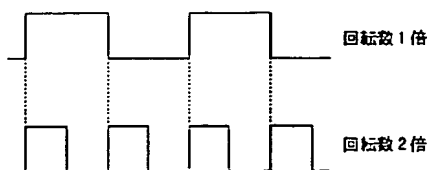
【図2】



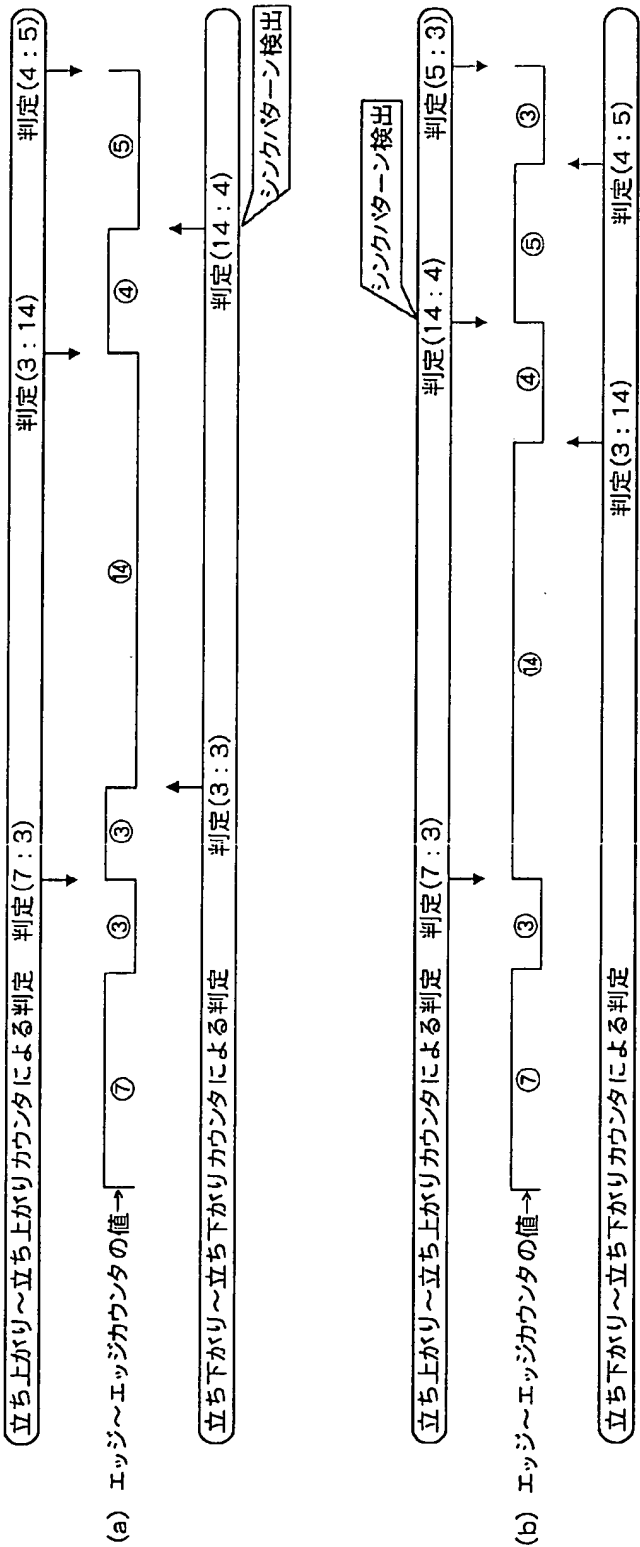
【図8】



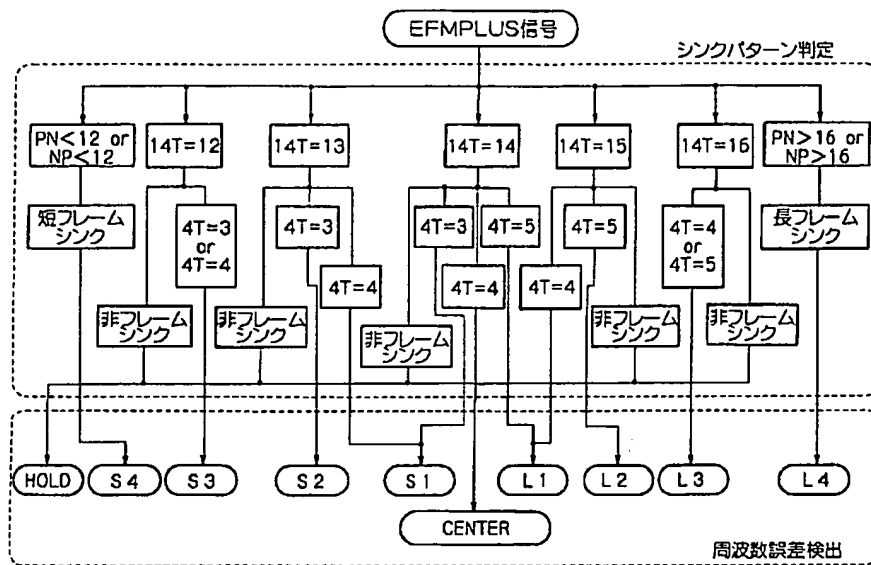
【図10】



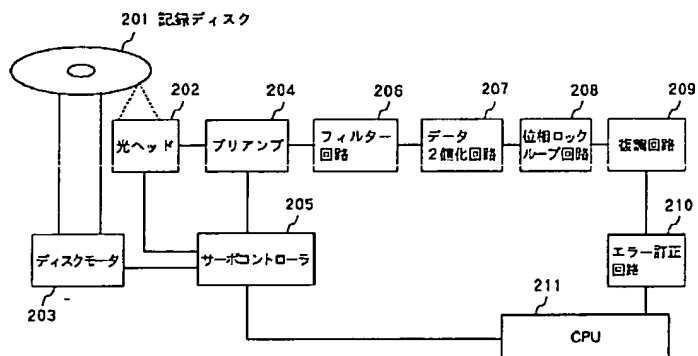
【図3】



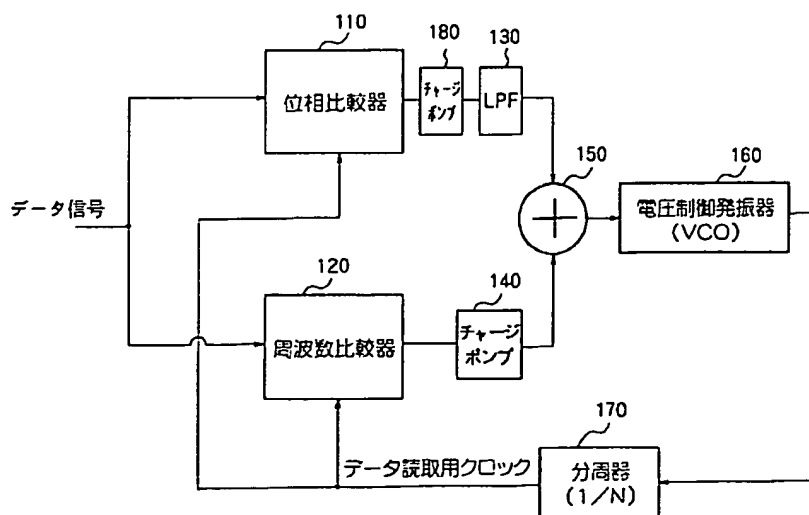
【図4】



【図5】



【図 6】



【図9】

